

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-229419

(43)Date of publication of application : 16.08.1994

(51)Int.Cl.

F16C 32/04

(21)Application number : 05-160115

(71)Applicant : SEIKO SEIKI CO LTD

(22)Date of filing : 04.06.1993

(72)Inventor : MIZUNO TAKESHI

(30)Priority

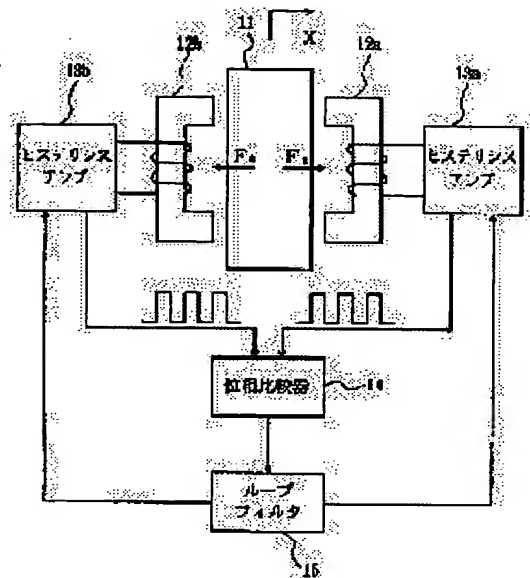
Priority number : 04326618 Priority date : 07.12.1992 Priority country : JP

(54) MAGNETIC BEARING

(57)Abstract:

PURPOSE: To control a rotor position highly accurately in a simple constitution by controlling the rotor position while using a phase locked loop to control a switching frequency in hysteresis amplifiers.

CONSTITUTION: An exciting current is supplied to electromagnets 12a and 12b from hysteresis amplifiers 13a and 13b having a property by which a switching frequency is changed by inductance, and a rotor 11 is levitated/held by magnetic force of these electromagnets 12a and 12b. Switching waveforms in the hysteresis amplifiers 13a and 13b are inputted to a phase comparator 14, and a phase difference in both waveforms is detected. Output of this phase comparator 14 is converted into a direct current by a loop filter 15, and is supplied to the hysteresis amplifiers 13a and 13b. In this way, a phase locked loop is formed by the hysteresis amplifiers 13a and 13b, the phase comparator 14 and the loop filter 15, and a position X of the rotor 11 is controlled so as to be maintained in a specific position.



LEGAL STATUS

[Date of request for examination] 05.10.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3536926

[Date of registration] 26.03.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-229419

(43)公開日 平成6年(1994)8月16日

(51)Int.Cl.⁵
F 1 6 C 32/04

識別記号 庁内整理番号
A 8613-3.I

FI

技術表示箇所

審査請求 未請求 請求項の数 3 FD (全 11 頁)

(21)出願番号	特願平5-160115
(22)出願日	平成5年(1993)6月4日
(31)優先権主張番号	特願平4-326618
(32)優先日	平4(1992)12月7日
(33)優先権主張国	日本(JP)

(71)出願人 000107996
セイコー精機株式会社
千葉県習志野市屋敷 4 丁目 3 番 1 号

(72)発明者 水野 毅
東京都稲城市向陽台 5 丁目10番 9 号棟106
号

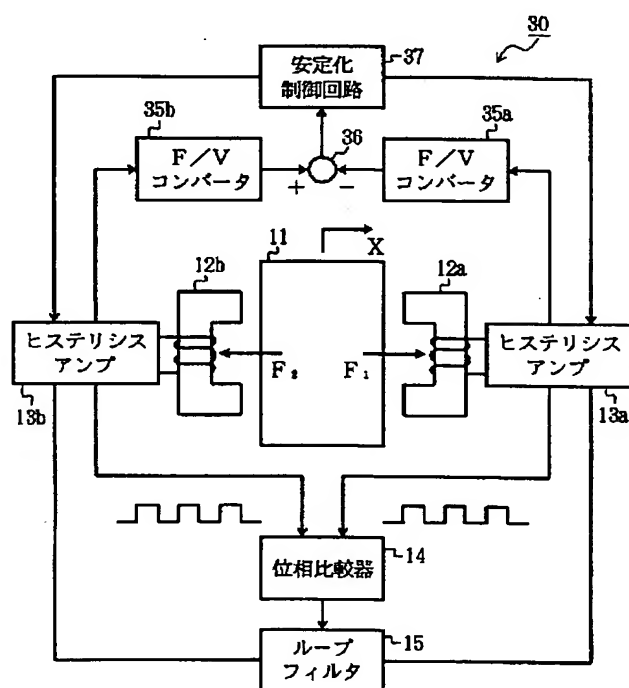
(74)代理人 弁理士 林 敬之助

(54)【発明の名称】 磁気軸受

(57) 【要約】

【目的】 簡単な構成でロータの位置を高精度に制御する。

【構成】 磁気軸受は、ロータ 11 を挟んで対向する位置に配設された電磁石 12 a、12 b と、電磁石 12 a、12 b に励磁電流を供給するヒステリシスアンプ 13 a、13 b と、各ヒステリシスアンプ 13 a、13 b におけるスイッチングの波形の位相差を検出する位相比較器 14 と、この位相比較器 14 の出力を直流電流に変換して各ヒステリシスアンプ 13 a、13 b に供給するループフィルタ 15 と、ヒステリシスアンプ 13 a、13 b におけるスイッチング周波数に比例した電圧信号を得る F/V コンバータ 35 a、35 b と、これら電圧信号の偏差を取る加算器 36 と、前記偏差からヒステリシスアンプ 13 a、13 b を安定化制御する安定制御回路 37 とを備えている。このようにフェイズロックトループに周波数－電圧サーボ系を併用して、系全体の安定化させている。



【特許請求の範囲】

【請求項 1】 ロータを磁力によって浮上させる電磁石と、

この電磁石に励磁電流を供給するヒステリシスアンプと、

前記ヒステリシスアンプにおけるスイッチングの位相に応じて前記ヒステリシスアンプより供給される励磁電流を制御して前記ヒステリシスアンプにおけるスイッチングの周波数を制御するフェイズロックトループを用いて、ロータの位置を制御する位置制御手段とを具備することを特徴とする磁気軸受。

【請求項 2】 ロータを磁力によって浮上させる電磁石と、

二つのレベルの電圧をスイッチングにより切り換えて前記電磁石に与えることにより前記電磁石に励磁電流を供給するヒステリシスアンプと、

前記ヒステリシスアンプにおけるスイッチングの位相に応じて前記ヒステリシスアンプより供給される励磁電流を制御して前記ヒステリシスアンプにおけるスイッチングの周波数を制御するフェイズロックトループを用いて、ロータの位置を制御する位置制御手段とを具備することを特徴とする磁気軸受。

【請求項 3】 ロータを磁力によって浮上させる電磁石と、

二つのレベルの電圧をスイッチングにより切り換えて前記電磁石に励磁電流を供給するヒステリシスアンプと、前記ヒステリシスアンプにおけるスイッチングの位相に応じて前記ヒステリシスアンプより供給される励磁電流を制御して前記ヒステリシスアンプにおけるスイッチングの周波数を制御するフェイズロックトループと、前記ヒステリシスアンプにおけるスイッチングの周波数に応じた電圧を得て当該電圧を基に前記ヒステリシスアンプより供給される励磁電流を制御して前記ヒステリシスアンプにおけるスイッチングの周波数を制御する周波数－電圧サーボ系と、を併用してロータの位置を制御する位置制御手段とを具備することを特徴とする磁気軸受。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電磁石の磁力の強弱を制御することによりロータを浮上させると共に、ロータの浮上位置を検出することにより前記ロータの浮上位置を一定に維持制御できる磁気軸受に関する。

【0002】

【従来の技術】 近年、IC製造装置のように高度のクリーン環境が要求される場所の搬送装置として、非接触的に搬送することのできる磁気浮上装置が用いられている。この磁気浮上装置では、浮上体としてのロータを電磁石の磁力によって浮上させると共に、ロータの浮上位置を検出することによりロータの浮上位置を一定に保つように制御する磁気軸受が用いられている。

【0003】 図16は従来の磁気軸受の構成を示すブロック図である。この磁気軸受は、それぞれロータ41を挟んで対向する位置に配設された2つの電磁石42a、42bと、2つの位置センサ43a、43bとを備えている。磁気軸受は、さらに、位置センサ43a、43bの検出信号を入力するブリッジ回路44と、このブリッジ回路44の出力信号と基準信号45とを比較する比較器46と、この比較器46の出力信号の位相を進める等の処理を行う信号処理回路47と、この信号処理回路47の出力信号を増幅して電磁石42a、42bに与える増幅回路48a、48bとを備えている。

【0004】 この磁気軸受では、ロータ41が電磁石42a、42bの磁力によって浮上保持される。ロータ41の位置は位置センサ43a、43bによって検出され、ブリッジ回路44によってロータ41の位置に応じた信号が得られ比較器46に送出される。比較器46では、ブリッジ回路44の出力信号と基準信号45とを比較して基準の位置との差に応じた信号が得られ、この信号が信号処理回路47で処理されて増幅回路48a、48bによって電磁石42a、42bへ励磁電流が供給される。このようにして、ロータ41が所定の位置に維持されるように制御されることになる。

【0005】

【発明が解決しようとする課題】 ところで、従来の磁気軸受では、位置センサを用いてロータの位置を検出しているが、位置センサによって精度良くロータの位置を検出するのが技術的に難しく、またロータの位置を高精度に制御するためには高精度の高価なセンサが必要になるという問題点があった。

【0006】 また、従来の磁気浮上系では、保持精度を高めるために、積分要素をフィードバックループに挿入することがよく行われる。しかし、このような積分要素は程度の差こそあれ近似的なものである。例えば、積分要素をアナログ回路で構成した場合、OPアンプのオフセットのため、直流ゲインを無限大にすることはできなかった。また、ディジタル制御装置を用いて構成した場合には、AD変換や計算機内部での量子化誤差のため、ある程度の偏差が残っていた。このように、従来の磁気浮上系では、積分要素の配置による保持精度の向上には、一定の限界があった。

【0007】 そこで本発明の目的は、簡単な構成でロータの位置を高精度に制御することのできる磁気軸受を提供することにある。

【0008】

【課題を解決するための手段】 上記目的を達成するために、請求項1記載の発明による磁気軸受は、ロータを磁力によって浮上させる電磁石と、この電磁石に励磁電流を供給するヒステリシスアンプと、前記ヒステリシスアンプにおけるスイッチングの位相に応じて前記ヒステリ

シスアンプより供給される励磁電流を制御して前記ヒステリシスアンプにおけるスイッチングの周波数を制御するフェイズロックトループを用いて、ロータの位置を制御する位置制御手段とを具備することを特徴とするものである。

【０００９】上記目的を達成するために、請求項１記載の発明による磁気軸受は、ロータを磁力によって浮上させる電磁石と、二つのレベルの電圧をスイッチングにより切り換えて前記電磁石に与えることにより前記電磁石に励磁電流を供給するヒステリシスアンプと、前記ヒステリシスアンプにおけるスイッチングの位相に応じて前記ヒステリシスアンプより供給される励磁電流を制御して前記ヒステリシスアンプにおけるスイッチングの周波数を制御するフェイズロックトループを用いて、ロータの位置を制御する位置制御手段とを具備することを特徴とするものである。

【００１０】上記目的を達成するために、請求項２記載の発明による磁気軸受は、ロータを磁力によって浮上させる電磁石と、二つのレベルの電圧をスイッチングにより切り換えて前記電磁石に励磁電流を供給するヒステリシスアンプと、前記ヒステリシスアンプにおけるスイッチングの位相に応じて前記ヒステリシスアンプより供給される励磁電流を制御して前記ヒステリシスアンプにおけるスイッチングの周波数を制御するフェイズロックトループと、前記ヒステリシスアンプにおけるスイッチングの周波数に応じた電圧を得て当該電圧を基に前記ヒステリシスアンプより供給される励磁電流を制御して前記ヒステリシスアンプにおけるスイッチングの周波数を制御する周波数－電圧サーボ系と、を併用してロータの位置を制御する位置制御手段とを具備することを特徴とするものである。

【００１１】

【作用】請求項１および請求項２記載の発明では、電磁石を励磁するアンプとして、スイッチング周波数がインダクタンスによって変化する性質を持つヒステリシスアンプを使用する。ヒステリシスアンプは、電磁石とロータ間のギャップ変化に応じてインダクタンスが変化し、これに伴ってスイッチング周波数も変化する。本発明の磁気軸受では、このようなヒステリシスアンプを利用して、位置センサを用いることなくロータの位置を検出できるようにしている。そして、フェイズロックトループを用いてスイッチング周波数が一定になるように制御することによってロータを一定の位置に保持している。そして、検出したロータの位置を基に、フェイズロックトループを用いてスイッチング周波数が一定になるように制御することによってロータを一定の位置に保持している。

【００１２】また、請求項３記載の発明では、請求項２記載の発明のように、スイッチング周波数がインダクタンスによって変化する性質を持つヒステリシスアンプを

使用し、このヒステリシスアンプのスイッチング周波数が電磁石のロータに対する位置に応じて変化することを利用して、位置センサを用いることなくロータの位置を検出している。加えて、その検出したロータの位置に基づいてフェイズロックトループを用いてスイッチング周波数が一定になるように制御することによってロータを一定の位置に保持すると共に、スイッチング周波数に応じた電圧を得て、その電圧でもって周波数－電圧フィードバック制御を行うことにより、フェイズロックトループの誤同期を防止するようにしている。

【００１３】

【実施例】以下本発明の磁気軸受における好適な実施例について、図１から図１５を参照して詳細に説明する。図１は本発明の一実施例の磁気軸受の構成を示すブロック図である。この図に示すように本実施例の磁気軸受は、ロータ１１を挟んで対向する位置に配設された２つの電磁石１２ａ、１２ｂと、二つのレベルの電圧をスイッチングにより切り換えて前記電磁石１２ａ、１２ｂに印加することにより、前記電磁石１２ａ、１２ｂに励磁電流を供給するヒステリシスアンプ１３ａ、１３ｂと、各ヒステリシスアンプ１３ａ、１３ｂにおけるスイッチングの波形を入力し、両波形の位相差を検出する位相比較器１４と、この位相比較器１４の出力を直流電流に変換して各ヒステリシスアンプ１３ａ、１３ｂに供給するループフィルタ１５とを備えている。

【００１４】この磁気軸受では、ヒステリシスアンプ１３ａ、１３ｂから電磁石１２ａ、１２ｂに励磁電流が供給され、この電磁石１２ａ、１２ｂの磁力（吸引力 F_1 、 F_2 ）によってロータ１１が浮上保持される。また、ヒステリシスアンプ１３ａ、１３ｂにおけるスイッチングの波形が位相比較器１４に入力され、両波形の位相差が検出される。そして、この位相比較器１４の出力がループフィルタ１５によって直流電流に変換され、ヒステリシスアンプ１３ａ、１３ｂに供給される。このように、ヒステリシスアンプ１３ａ、１３ｂ、位相比較器１４およびループフィルタ１５によってフェイズロックトループ（PLL）が形成され、ロータ１１の位置 X が所定の位置に維持されるように制御される。

【００１５】このように本実施例では、電磁石１２（１２ａ、１２ｂを代表する。）を励磁するアンプとして、スイッチング周波数がインダクタンスによって変化する性質を持つヒステリシスアンプ１３（１３ａ、１３ｂを代表する。）を使用し、このヒステリシスアンプ１３のスイッチング周波数が電磁石１２とロータ１１とのギャップ、すなわちロータ１１の位置 X に応じて変化することを利用して、ヒステリシスアンプ１３のスイッチング周波数からロータ１１の位置を求めている。従って、位置センサが不要になる。

【００１６】また、本実施例では、ヒステリシスアンプ１３ａ、１３ｂにおけるスイッチング周波数がロータ１

1の位置を示すことから、これらスイッチング周波数をフェイズロックループに供給し、その得られたロータ11の位置に応じてヒステリシスアンプ13のスイッチング周波数が一定になるように制御することにより、ロータ11を一定の位置に保持している。従って、制御誤差を位相のレベルで検出できるので、ロータ11の位置を高精度に制御することができる。特に、本実施例におけるフェイズロックループ制御の積分要素は、位相が角周波数を積分したものであるという数学的關係に基づいた理想的なものであるため、本質的に誤差を生じず、高精度な制御を行うことができる。

【0017】次に、図2および図3を用いて、ヒステリシスアンプ13の動作の概要について説明する。図2に示すように、電磁石12のコイルにかかる電圧を V 、コイルに流れる電流を I とする。また、電磁石12とロータ11とのギャップを x とする。

【0018】図3は上記電流 I と電圧 V の関係を示す波形図である。この図に示すように、ヒステリシスアンプ13は、目標電流値(制御分を含む。) I_0 の上下に $\pm \Delta I$ の幅を設けて、実際の電流値が上限 $I_0 + \Delta I_p$ に達したらコイルにかかる電圧 V を $-V_m$ に切り換え、実際の電流値が下限 $I_0 - \Delta I_m$ に達したらコイルにかかる電圧 V を V_p に切り換える。本実施例では、このヒステリシスアンプ13の電圧のスイッチング周波数が電磁石12とロータ11とのギャップ x に略比例することを利用して、スイッチング周波数からロータ11の位置を検出する。

【0019】図4はヒステリシスアンプ13の構成を示すブロック図である。この図に示すように、ヒステリシスアンプ13は、電流指令値 I_0 が入力される比較増幅器21と、この比較増幅器21の出力 V が入力されるヒステリシスコンパレータ22とを備えている。また、ヒステリシスアンプ13は、ヒステリシスコンパレータ22の出力電圧 V' が入力され、電源24から与えられる2つのレベルの電圧を切り換えて電磁石12のコイル20に与えるスイッチング素子23と、電磁石12のコイル20に流れる電流 i を検出し、比較増幅器21へ与える電流検出回路25とを備えている。

【0020】電流指令値 I_0 は、電磁石12のコイル20に流したい電流の値で、一般的にはバイアス電流値と制御用電流値の和で与えられる。また、この電流指令値 I_0 は、図1のループフィルタ15により供給される。比較増幅器21は、電流指令値 I_0 とコイル電流 i との差に比例した電圧 V ($V = K_V (I_0 - i)$: ただし K_V は定数) を出力する。ヒステリシスコンパレータ22は、入力信号の履歴によってしきい値が変化するコンパレータで、例えば図5に示すような特性を持つ。ここで、このヒステリシスコンパレータ22の出力電圧 V' の高レベル側を V_{ON} とし、低レベル側を $-V_{OFF}$ とする。また、出力電圧が $-V_{OFF}$ から V_{ON} に変化するとき

の入力電圧を ΔV_p とし、出力電圧が V_{ON} から $-V_{OFF}$ に変化するときの入力電圧を $-\Delta V_m$ とする。

【0021】スイッチング素子23は、入力信号のレベル(V_{ON} 、 $-V_{OFF}$)に応じて、コイル20にかかる電圧を高電圧(V_p)から負の電圧($-V_m$)あるいは十分に小さい低電圧(V_L)に切り換える素子(トランジスタ、FET、サイリスタ等)である。なお、図1における位相比較器14に供給されるスイッチングの波形は、ヒステリシスコンパレータ22の出力波形でも良いし、スイッチング素子23の出力波形でも良い。また、電流検出回路25の出力を2値化した波形でも良い。

【0022】次に、ヒステリシスアンプ13の動作について説明する。図6に示すように、コイル20に流れる電流は、目標値 I_0 を中心に、三角波状に変動する。その理由を、以下で説明する。ある時点で、コイル電流が I' ($I_0 - \Delta I_m < I' < I_0$) で、ヒステリシスコンパレータ22の出力が V_{ON} 、コイル20にかかる電圧が V_p であったとする。

【0023】ここで、図7に示すように、コイル20はインダクタンス L と抵抗 R の直列回路と考えることができ、 $V_p \gg (I_0 + \Delta I_p) / R$ と設定されているとする。この場合、コイル20のインダクタンス L のためにコイル電流は徐々に上昇していき、やがて I_0 に等しくなる。同時に、比較増幅器21の出力電圧も符号が変化する(例えば、正から負へ)。しかし、ヒステリシスコンパレータ22のヒステリシス特性のため、しばらくはヒステリシスコンパレータ22の出力が V_{ON} のままである。従って、電流は I_0 を越えてさらに上昇していく。やがて、比較増幅器21の出力電圧 V の値が $-\Delta V_m$ より小さくなると、ヒステリシスコンパレータ22の出力が $-V_{OFF}$ に切り換わり、コイル20にかかる電圧も V_p から $-V_m$ に切り換わる。このため、コイル20の電流は減少し始める。このヒステリシスコンパレータ22の出力が $-V_{OFF}$ に切り換わる点での電流の値を $I_0 + \Delta I_p$ とすると、 $K_V \Delta I_p = \Delta V_m$ という関係が成立している。

【0024】やがて、電流値は I_0 まで低下するが、やはりヒステリシスコンパレータ22のヒステリシス特性のために、すぐには V_{ON} に切り換わず、電流値はさらに低下する。やがて、比較増幅器21の出力電圧 V の値が ΔV_p より大きくなると、ヒステリシスコンパレータ22の出力は V_{ON} に切り換わるので、コイル20にかかる電圧は再度 V_p になり、電流が増加し始める。このヒステリシスコンパレータ22の出力が V_{ON} に切り換わる点での電流の値を $I_0 - \Delta I_m$ とすると、 $K_V \Delta I_m = \Delta V_p$ という関係が成立している。

【0025】ヒステリシスアンプ13は、以上の動作を繰り返す。なお、図6に示すように、コイル20に流れる電流が $I_0 - \Delta I_m$ から $I_0 + \Delta I_p$ まで増加する時間を t_1 とし、 $I_0 + \Delta I_p$ から $I_0 - \Delta I_m$ まで減少

する時間を t_2 とすると、スイッチング周期 T は $t_1 + t_2$ 、スイッチング周波数 f は $1/T$ である。次に、ヒステリシスアンプ 13 のスイッチング周波数が電磁石 12 とロータ 11 とのギャップ x によって略比例的に変化する理由について説明する。

【0026】図 8 に示すように、電磁石 12 のコイル 20 は、インダクタンス L と抵抗 R とが直列接続されたものと考えることができる。ここで、初期状態において、コイル電流 $i_a(0) = 0$ として、コイル 20 の両端にステップ状の電圧 V_a をかけたとする。すなわち、図 9 に示すように、時刻 $t < 0$ のとき、 $V_a = 0$ 、時刻 $t \geq 0$ のとき、 $V_a = V_h$ とする。すると、図 10 に示すように、コイル電流は最終的な値 (V_h / R) まで増加していく。 $t = 0$ の近傍、すなわち、 $i_a \ll (V_h / R)$ のときには、電流の増加の割合は $(R / L) \cdot (V_h / R) = (V_h / L)$ である。

【0027】前述のようにヒステリシスアンプ 13 の動作において、 $(I_0 + \Delta I_p) \ll (V_h / R)$ という関係を満たすときには、 $I_0 - \Delta I_m$ から $I_0 + \Delta I_p$ まで電流が増加する時間 t_1 は、 $(V_h / L) \cdot t_1 = (\Delta I_p + \Delta I_m)$ より、 $t_1 = L (\Delta I_p + \Delta I_m) / V_h$ となる。同様に、 $I_0 + \Delta I_p$ から $I_0 - \Delta I_m$ まで電流が減少する時間 t_2 は、 $(I_0 - \Delta I_p) + (V_m / R) \gg I_0 + \Delta I_p$ という関係を満たすように V_m が選定されている場合には、 $t_2 = L (\Delta I_p + \Delta I_m) / V_m$ となる。従って、スイッチング周期 $T (= t_1 + t_2)$ は、 $T = L (\Delta I_p + \Delta I_m) \cdot (1 / V_h + 1 / V_m)$ で与えられる。

【0028】一方、電磁石 12 において、コイル 20 のインダクタンス L は電磁石 12 とロータ 11 とのギャップ x に略反比例する。詳しくは、図 11 に示すように、電磁石 12 のコイル 20 の合計巻き数を N 、コア 30 の断面積を A とし、また、ロータ 11 が強磁性体（透磁率 $\mu \approx \infty$ ）とすると、 $L \approx N^2 A \mu_0 / 2x = K_L / x$ となる。ただし、 μ_0 は初透磁率、 $K_L = N^2 A \mu_0 / 2$ である。従って、 $T = (K_L / x) \cdot (\Delta I_p + \Delta I_m) \cdot (1 / V_h + 1 / V_m)$ となり、スイッチング周波数 $f (= 1 / T)$ は、 $f = K' x$ となる。ただし、 $K' = (V_h \times V_m) / \{K_L (\Delta I_p + \Delta I_m) \cdot (V_h + V_m)\}$ である。従って、スイッチング周波数 f はギャップ x に略比例することとなる。

【0029】なお、本発明は上記実施例に限定されず、例えば実施例では 2 つのヒステリシスアンプのスイッチングの位相を比較してロータの位置を制御するようにしたが、1 つのヒステリシスアンプのスイッチングの位相を所定の周波数の基準信号の位相と比較してロータの位置を制御するようにしても良い。

【0030】図 12 は、ヒステリシスアンプの他の構成を示すブロック図である。このヒステリシスアンプ 113 では、図 4 に示す比較増器 21 を省略したもので、図

1 のループフィルタ 15 から供給される電流指令値 I_0 および、電流検出回路 25 の出力が直接ヒステリシスコンパレータ 122 に入力されるようになっている。

【0031】そして、このヒステリシスコンパレータ 122 は、比較増幅機能を持つように構成されている。すなわちヒステリシスコンパレータ 122 は、電流指令値 I_0 とコイル電流 i との差に比例した電圧 V を出力すると共に、その出力の履歴によってしきい値が変化するように構成されており、同様に、図 5 に示すような特性を備えている。

【0032】図 13 は、本発明の磁気軸受における第 2 の実施例の構成を表したものである。なお、説明の簡単のため、図 1 に示す第 1 の実施例と同一の部分には同一の符号を付して、適宜その説明を省略することとする。この図 13 に示すように、この第 2 の実施例では、ロータ 11 の回転中心軸が水平方向となるように配置されている。磁気軸受は、ロータ 11 の上部に配置された電磁石 12c と、この電磁石 12c に励磁電流を供給するヒステリシスアンプ 13c を備えている。また、磁気軸受は、基準信号を出力する基準信号出力回路 131 と、この基準信号とヒステリシスアンプ 13c におけるスイッチングの波形とを入力し、両波形の位相差を検出する位相比較器 14 と、この位相比較器 14 の出力を直流電流に変換して各ヒステリシスアンプ 13c、13b に供給するループフィルタ 15 とを備えている。

【0033】この磁気軸受では、ヒステリシスアンプ 13c から電磁石 12c に励磁電流が供給され、この電磁石 12c の吸引力 F_1 によってロータ 11 が浮上保持される。ここで、電磁石 12c の吸引力 F_1 の定常値は、ロータ 11 が設定された位置にあるときにロータ 11 に作用する重力 F_2 の影響を打ち消すように定められる。なお、この第 2 の実施例では、図 4 および図 12 に示すヒステリシスアンプのいずれを使用してもよい。

【0034】図 14 は、本発明の磁気軸受における第 3 の実施例の構成を表したものである。なお、説明の簡単のため、図 1 に示す第 1 の実施例と同一の部分には同一の符号を付して、適宜その説明を省略することとする。図 14 に示す第 3 の実施例では、2 つの電磁石 12a、12b と 2 つのヒステリシスアンプ 13a、13b と、位相比較器 14 と、ループフィルタ 15 とからなる回路構成は図 1 に示す第 1 の実施例と全く同一であり、また第 3 の実施例における前記回路構成部分に基づく動作も図 1 に示す第 1 の実施例と基本的に同一である。

【0035】この第 3 実施例は、上述したように第 1 の実施例と全く同一回路構成部分に対して、周波数—電圧サーボ系 30 を付加したものである。この周波数—電圧サーボ系 30 は、前記ヒステリシスアンプ 13a、13b におけるスイッチング信号を取り込み、そのスイッチング信号の周波数に比例した電圧信号を得る周波数—電圧コンバータ（以下、「 F/V コンバータ」という）3

5 a、3 5 bと、これらF/Vコンバータ3 5 a、3 5 bからの出力信号を減算する加算器3 6と、前記加算器3 6からの偏差信号を基にサーボ信号を形成して前記各ヒステリシスアンプ1 3 a、1 3 bに供給する安定化制御回路3 7とを付加して構成したものである。

【0036】上記F/Vコンバータ3 5 aは、前記ヒステリシスアンプ1 3 aにおけるスイッチング信号を取り込み、そのスイッチング信号の周波数に比例した電圧信号を得ることができる。F/Vコンバータ3 5 bも、前記ヒステリシスアンプ1 3 bにおけるスイッチング信号を取り込み、そのスイッチング信号の周波数に比例した電圧信号を得ることができる。これらF/Vコンバータ3 5 a、3 5 bの各電圧信号は、加算器3 6により減算される。前記加算器3 6からの各電圧信号の偏差は前記ロータ1 1と各電磁石1 2 a、1 2 bのギャップ（位置）を表しており、その偏差がゼロなら前記ロータ1 1と各電磁石1 2 a、1 2 bのギャップが適正状態を、その偏差が正又は負の値を示せば前記ロータ1 1が例えば前記電磁石1 2 a又は前記電磁石1 2 bのいずれかの側に偏っていることを表している。

【0037】すなわち、前記加算器3 6からの偏差信号は、ロータ1 1の変位Xに比例する信号が得られることになる。したがって、安定化制御回路3 7は、前記加算器3 6からの偏差信号を基に、ヒステリシスアンプ1 3 a、1 3 bに対して例えば比例積分（PD）制御を行うことにより系全体を安定化させることができる。

【0038】この第3の実施例による磁気軸受でも、既述したように、ヒステリシスアンプ1 3 a、1 3 bにより2つのレベルの電圧をスイッチングして電磁石1 2 a、1 2 bに印加することによって電磁石1 2 a、1 2 bに励磁電流を供給し、これら電磁石1 2 a、1 2 bの磁力（吸引力 F_1 、 F_2 ）によってロータ1 1を浮上保持しているが、この際に第1の実施例によるPLL制御に対して、F/Vサーボ系（F/Vコンバータ3 5 a、3 5 b、加算器3 6、安定化制御回路3 7）を併用することにより、前記PLL制御による例えば運転初期時等に発生する同期引込みの遅れや、誤り同期を防止して、系全体の安定化を図るようにしている。

【0039】この第3の実施例において、まず第1の実施例で使用したと同様のPLL制御系では、ヒステリシスアンプ1 3 a、1 3 bにおけるスイッチング信号を位相比較器1 4に入力して両波形の位相差を検出し、この位相比較器1 4の出力をループフィルタ1 5によって直流電流に変換して、ヒステリシスアンプ1 3 a、1 3 bに供給し、ヒステリシスアンプ1 3 a、1 3 bのスイッチング周波数の安定化を、すなわちロータ1 1の位置Xが所定の位置に維持されるように制御するようにしている。

【0040】そして、この第3の実施例においては、上記PLL制御に加えて、F/Vサーボ系により、ヒステ

リシスアンプ1 3 a、1 3 bからのスイッチング信号をF/Vコンバータ3 5 a、3 5 bでそれぞれ周波数に比例した電圧信号に変換し、これら電圧信号の偏差を加算器3 6でとり、その偏差に基づいて安定化制御回路3 7でヒステリシスアンプ1 3 a、1 3 bにPD制御をかけて、ヒステリシスアンプ1 3 a、1 3 bのスイッチング周波数の安定化を、すなわちロータ1 1の位置Xが所定の位置に維持されるように制御している。

【0041】このように上記第3の実施例では、電磁石1 2（1 2 a、1 2 bを代表する。）を励磁するアンプとして、スイッチング周波数がインダクタンスによって変化する性質を持つヒステリシスアンプ1 3（1 3 a、1 3 bを代表する。）を使用し、このヒステリシスアンプ1 3のスイッチング周波数が電磁石1 2とロータ1 1とのギャップ、すなわちロータ1 1の位置Xに応じて変化することを利用して、ヒステリシスアンプ1 3のスイッチング周波数からロータ1 1の位置を求めている。また、その周波数がロータ1 1の位置を示すことから、これら周波数に基づき、PLL制御にF/Vサーボ系を併用して、系全体の安定化を図るようにしたものである。また、第3の実施例でも、位置センサは不要である。

【0042】図15は第3の実施例の動特性を示すブロック図であり、図15（a）が同第3の実施例の動特性の例を、図15（b）が同第3の実施例の動特性の簡易な例をそれぞれ示している。図14で示す第3の実施例は、図15（a）に示すような動特性ブロックで示すことができる。図15（a）において、ブロック $[s^2 - a]$ 3 01からの出力（ロータ1 1の変位X）は、ブロック (Kf) 3 02 a、3 02 bを介して位相比較器1 4に入力される。位相比較器1 4は、位相比較用の減算器3 03と、減算器3 03からの位相偏差から位相検波する位相検波器 (Kd/s) 3 04とからなる。

【0043】前記ブロック3 02 a、3 02 bからのスイッチング波形は、位相比較用の減算器3 03で位相比較されて、その比較結果は、位相検波器3 04で位相検波される。この位相検波器3 04からの出力は、ループフィルタ1 5を表すブロック $[a_0 / (s + b_0)]$ 3 05に入力される。このブロック3 05の出力は、加算器3 06に印加される。加算器3 06の出力は、各ヒステリシスアンプ1 3 a、1 3 bを表すブロック (Ka) 3 07 a、3 07 bにそれぞれ入力される。ブロック3 07 a、3 07 bの出力は、加算器3 08で加算されてブロック3 01に作用する。

【0044】一方、ブロック3 01の出力（ロータ1 1の変位X）は、ブロック (Kf) 3 02 a、3 02 bを介して各F/Vコンバータ3 5 a、3 5 bを表すブロック (Kv) 3 10 a、3 10 bに入力される。これらブロック3 10 a、3 10 bは、変位Xに比例した電圧信号を出力する。これら電圧信号は、加算器3 6を表すブ

ロック 311 で減算され、その偏差が安定化制御回路 37 を表すブロック (P d + S P v) 312 に入力される。このブロック 312 からのサーボ信号は、ブロック 306 に印加されて、PLL 制御系の制御信号を補正して、系全体を安定化する。

【0045】 上述した図 15 (a) に示す制御ブロックは、図 15 (b) に示すように簡易化して表すことができる。これは、計算を簡単化するために示すものであり、図 15 (a) における K_a 、 K_f 、 K_v を一つとして表すことにより、図 15 (b) に示すように示している。すなわち、図 15 (b) に示す構成は、ブロック 302a、302b を一つとしてブロック 302 とし、ブロック 307a、307b を一つとしてブロック 307 とし、ブロック 310a、310b を一つとしてブロック 310 とし、かつブロック 303、308、311 を省略して表したものである。

【0046】 上述の図 15 (b) に示す構成において、スイッチング信号に F/V 変換した信号を利用して例えば PD 制御を採用し、フィードバック係数を自由に設定できるものとし、かつループフィルタ (ブロック 304) 15 としては 1 次のローパスフィルタを用いるとすると、図 15 (b) で示す系の閉ループの伝達関数は、数式 1 に示すようになる。

【0047】

$$\text{【数 1】 } T(S) = [b(S^2 + b_0)] / [S^4 + (a_2 + b_0)S^3 + (a_1 + a_2 b_0)S^2 + a_1 b_0 S + a_0 b]$$

ただし、 $a_1 = b P d - a$ 、 $a_2 = b P v$

ここで、閉ループ系の特性多項式を次の数式 2 によって指定する。

【0048】

【数 2】

$$g(S) = S^4 + g_3 S^3 + g_2 S^2 + g_1 S + g_0$$

このとき、フィルタの各係数およびフィードバック係数は、次の数式 3 に示すように

【0049】

$$\text{【数 3】 } g_3 = a_2 + b_0, g_2 = a_1 + a_2 b_0, g_1 = a_1 b_0, g_0 = a_0 b$$

の関係から定めることができる。

【0050】 このように第 3 の実施例は、PLL 制御に、F/V サーボを併用することにより図 15 (b) の動特性ブロックで表すことができ、しかも自励式チョッパ回路であるヒステリシスアンプ 13a、13b を使用し、そのスイッチング周波数 f が電磁石 12a、12b とロータ 11 とのギャップ x に対してほぼ比例している関係を利用し、ロータ 11 の位置 X が所定の位置に維持されるように制御している。

【0051】 これは、この第 3 の実施例におけるフェイズロックトループ制御 (PLL 制御) の積分要素が、位相が角周波数を積分したものであるという数学的関係に

基づいた理想的なものであるため、本質的に誤差を生じず、高精度な制御を行うことができることに加えて、運転初期等において速やかに PLL 制御で同期状態に引き込むことが困難な点や誤り同期を引き起こす点を、F/V サーボ系を併用することによって速やかにかつ正確に同期状態に引き込むことが可能にしたものである。

【0052】 なお、この第 3 の実施例でも、図 4 および図 12 に示すヒステリシスアンプのいずれを使用してもよいことはいうまでもない。また、上記第 3 の実施例において、F/V サーボ系では、F/V コンバータ 35a、35b から出力される電圧の偏差が加算器 36 でとられるが、その偏差がロータ 11 の変位 X に比例する信号となることは既に説明したとおりである。そこで、この加算器 36 からの偏差を利用し、ヒステリシスアンプ 13a、13b を例えば偏差に基づいて PD 制御等をすれば、上記 PLL 制御系を使用することなく、当該 F/V サーボ系のみでロータ 11 の安定な浮上状態を得ることのできる第 4 の実施例を実現することができる。この第 4 の実施例によっても、センサが不要で、かつロータ 11 の安定な浮上状態を得ることができることになる。

【0053】

【発明の効果】 以上説明したように請求項 1 および請求項 2 記載の発明によれば、ヒステリシスアンプのスイッチング周波数からロータの位置を検出することができるので、位置センサが不要になり、また、フェイズロックトループにより制御誤差を位相のレベルで検出できるので、簡単な構成で、ロータの位置を高精度に制御することができるという効果がある。また、請求項 3 記載の発明によれば、ヒステリシスアンプのスイッチング周波数からロータの位置を検出することができるので、位置センサが不要になることに加えて、フェイズロックトループにより制御誤差を位相のレベルで検出できると共に、フェイズロックトループ制御に対して周波数—電圧サーボ系を併用することにより、簡単な構成で、ロータの位置を高精度に制御できると共にフェイズロックトループの同期引込み遅れや、誤り同期を防止することができる効果がある。

【図面の簡単な説明】

【図 1】 本発明の磁気軸受における一実施例の構成を示すブロック図である。

【図 2】 一実施例における電磁石とロータを示す説明図である。

【図 3】 図 2 の電磁石のコイルに流れる電流と印加される電圧の関係を示す波形図である。

【図 4】 図 1 におけるヒステリシスアンプの構成を示すブロック図である。

【図 5】 図 4 におけるヒステリシスコンパレータの特性を示す特性図である。

【図 6】 図 4 に示すヒステリシスアンプによってコイルに流される電流を示す波形図である。

【図 7】一実施例における電磁石のコイルの等価回路を示す回路図である。

【図 8】図 7 に示す回路に印加される電圧と流れる電流を示すための説明図である。

【図 9】図 8 に示す回路に印加するステップ状の電圧を示す波形図である。

【図 10】図 8 に示す回路に図 9 に示すステップ状の電圧を印加したときの電流の変化を示す特性図である。

【図 11】一実施例における電磁石とロータを示す説明図である。

【図 12】ヒステリシスアンプの他の構成を示すブロック図である。

【図 13】本発明の磁気軸受における他の実施例の構成を示すブロック図である。

【図 14】本発明の第 3 の実施例を示すブロック図である。

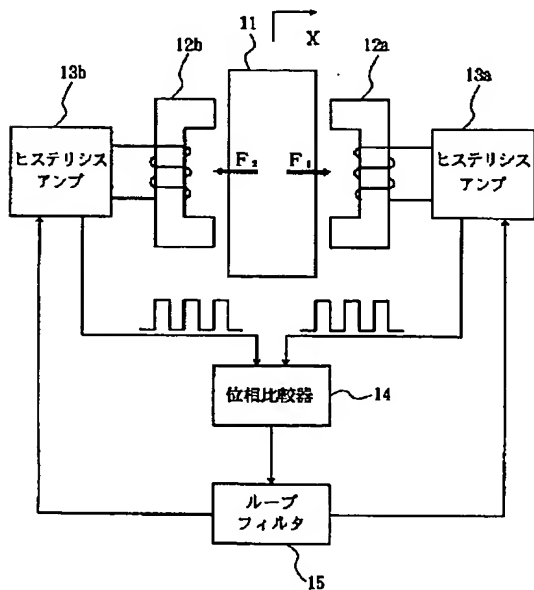
【図 15】同第 3 の実施例の動特性を示すブロック図である。

【図 16】従来の磁気軸受の構成を示すブロックである。

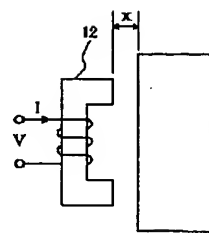
【符号の説明】

- 11 ロータ
- 12 a、12 b、12 c 電磁石
- 13 a、13 b、13 c、113 ヒステリシスアンプ
- 14 位相比較器
- 15 ループフィルタ
- 20 電磁石コイル
- 21 比較増幅器
- 22、122 ヒステリシスコンパレータ
- 23 スwitching素子
- 24 電源
- 25 電流検出回路
- 35 a、35 b F/Vコンバータ
- 36 加算器
- 37 安定化制御回路
- 131 基準信号出力回路

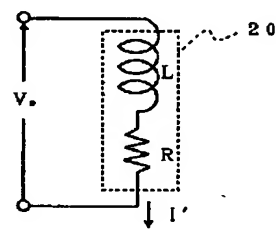
【図 1】



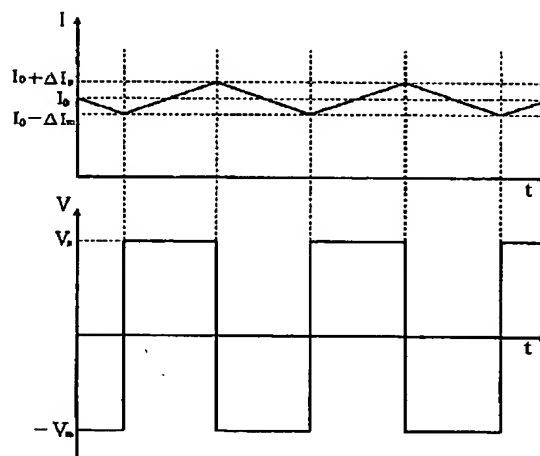
【図 2】



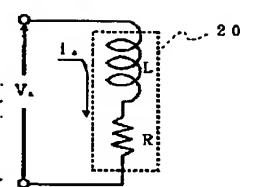
【図 7】



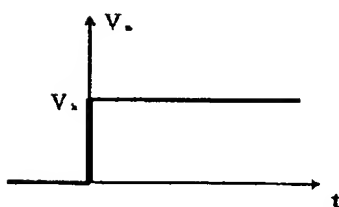
【図 3】



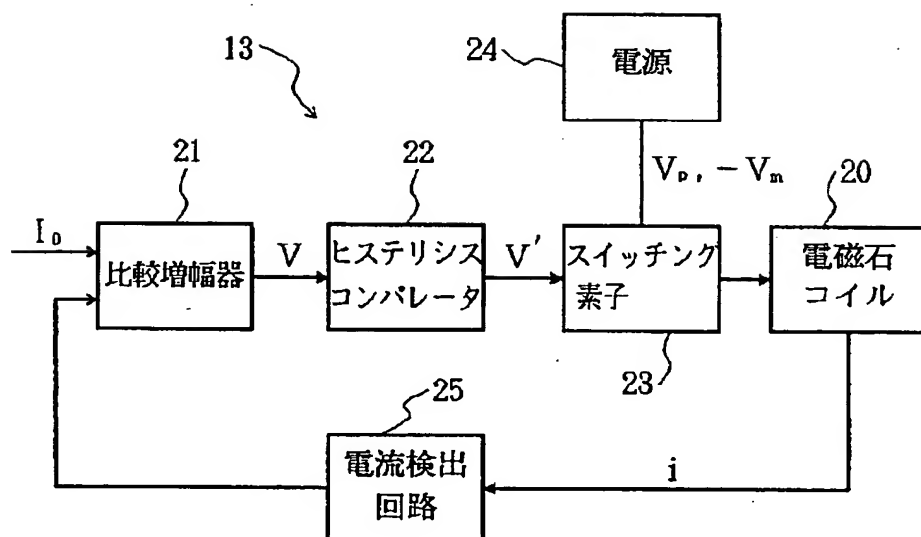
【図 8】



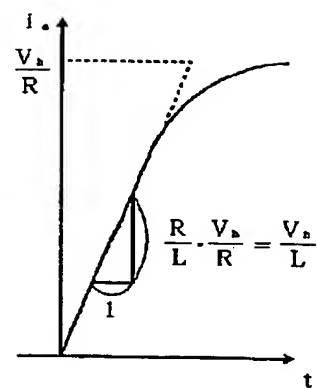
【図 9】



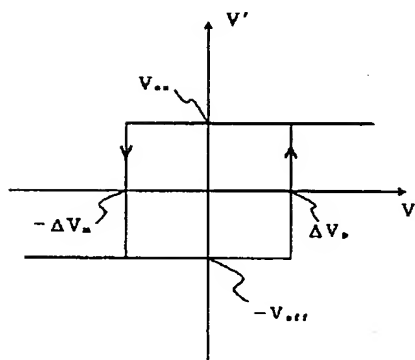
【図4】



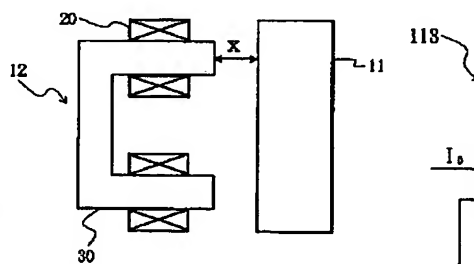
【図10】



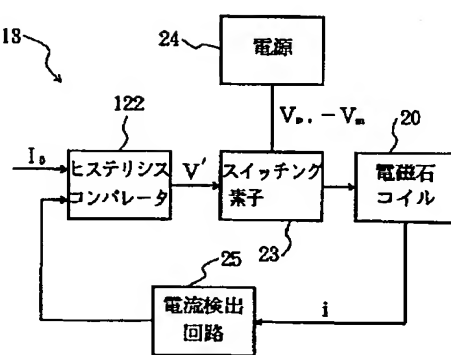
【図5】



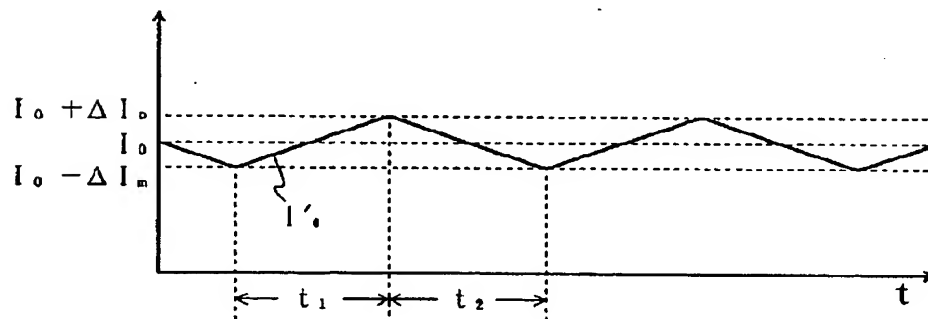
【図11】



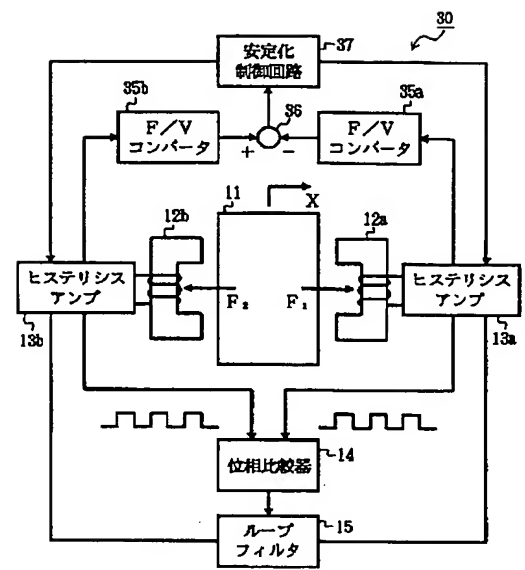
【図12】



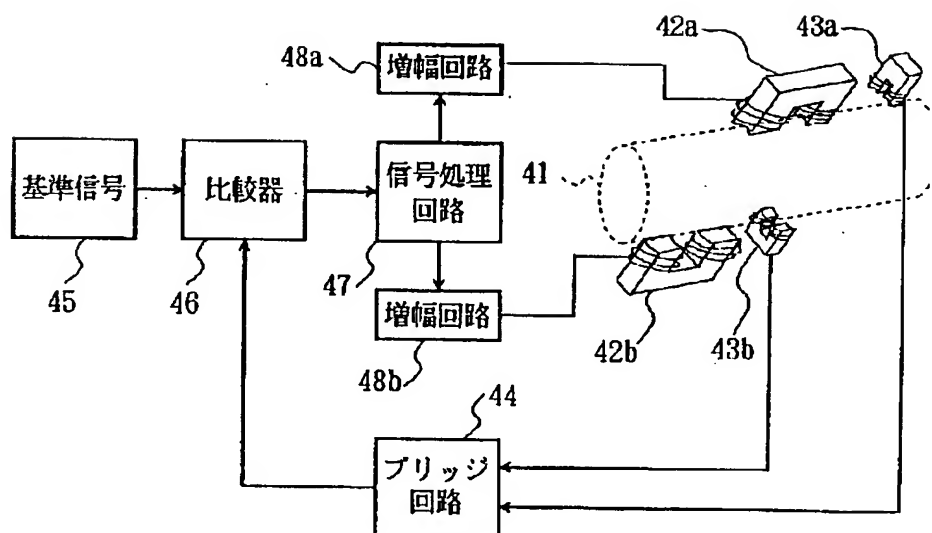
【図6】



【图 1 4】



【图 16】



【図15】

